

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-243922

(43)Date of publication of application : 21.09.1993

(51)Int.CI.

H03K 3/84

G06F 7/58

H03K 17/78

(21)Application number : 04-039472

(71)Applicant : ALPS ELECTRIC CO LTD

(22)Date of filing : 26.02.1992

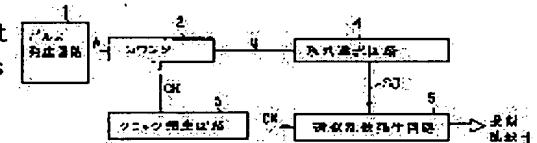
(72)Inventor : WATANABE HIRONOBU  
HASEGAWA KAZUO  
MURATA HISASHI  
OUCHI IKUO

## (54) PSEUDO RANDOM NUMBER GENERATOR AND PHOTOELECTRIC SWITCH USING THE SAME

## (57)Abstract:

PURPOSE: To improve the randomization of a pseudo generated random number.

CONSTITUTION: A pulse A whose period is unstable is outputted from a pulse generation circuit 1, and for every its period, a counter 2 counts a clock CK from a clock generator circuit 3 for every period corresponding to the length of its period. On the other hand, a pseudo random number generator circuit 5 is constituted so that a series constituted by arraying pseudo random numbers in it can be generated in plural numbers, and the series instructing data corresponding to these series is stored in a series selection circuit 4. The series instructing data SD corresponding to the count value N of every period of the pulse A from the counter 2 is outputted from the series selection circuit 4, and the pseudo random number generator circuit 5 outputs the pseudo random number H of the series corresponding to the series instructing data SD.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243922

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 03 K 3/84	Z 7436-5 J			
G 06 F 7/58	A 9188-5 B			
H 03 K 17/78	R 7827-5 J			

審査請求 未請求 請求項の数2(全8頁)

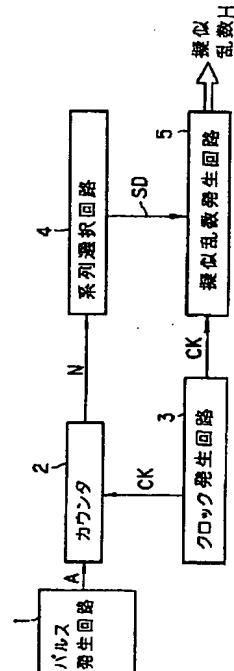
(21)出願番号	特願平4-39472	(71)出願人	000010098 アルブス電気株式会社 東京都大田区雪谷大塚町1番7号
(22)出願日	平成4年(1992)2月26日	(72)発明者	渡辺 浩伸 東京都大田区雪谷大塚町1番7号 アルブス電気株式会社内
		(72)発明者	長谷川 和男 東京都大田区雪谷大塚町1番7号 アルブス電気株式会社内
		(72)発明者	村田 久 東京都大田区雪谷大塚町1番7号 アルブス電気株式会社内
		(74)代理人	弁理士 武 顯次郎 (外2名)
			最終頁に続く

(54)【発明の名称】擬似乱数発生装置とこれを用いた光電スイッチ

(57)【要約】

【目的】発生する擬似乱数のランダム性を高める。  
【構成】パルス発生回路1からは周期が不安定なパルスAが outputされ、その周期毎に、その周期の長さに応じた期間ずつ、カウンタ2がクロック発生回路3からのクロックCKをカウントする。一方、擬似乱数発生回路5は擬似乱数が配列されてなる系列が複数発生可能に構成されており、系列選択回路4では、これら系列に対応した系列指示データが格納されている。カウンタ2からのパルスAの周期毎のカウント値Nに応じた系列指示データSDが系列選択回路4から出力され、擬似乱数発生回路5はこの系列指示データSDに応じた系列の擬似乱数Hを出力する。

【図1】



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 周期が不安定なパルスを発生するパルス発生手段と、該パルスの周期毎に該周期に応じた期間クロックをカウントするカウント手段と、該カウント手段のカウント値に応じた擬似乱数系列指示データを出力する系列指示手段と、異なる系列の擬似乱数を発生可能であって、該系列指示手段からの該擬似乱数系列指示データに応じた系列の擬似乱数を発生する擬似乱数発生手段とからなり、該パルス発生手段が発生する該パルスの周期毎に、該擬似乱数発生手段が発生可能な擬似乱数の系列をランダムな順で発生することができるよう構成したことを特徴とする擬似乱数発生装置。

【請求項2】 投光部から光を投射し、物体からの反射光を受光して物体の有無を判定するようにした光電スイッチにおいて、

請求項1記載の擬似乱数発生装置が発生する擬似乱数値のをアナログ値に変換する第1の手段と、

該擬似乱数発生装置の前記クロックから鋸歯状波もしくは三角波の信号を発生する第2の手段と、

該信号のレベルを該アナログ値と比較し、該信号に対する立上りエッジまたは立下りエッジの位相が該アナログ値に応じて変化するパルスを発生する第3の手段と、該第3の手段の出力パルスの時間幅を一定にする第4の手段とを有し、該第4の手段の出力パルスで該投光部での投光タイミングを設定するようにしたことを特徴とする光電スイッチ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、デジタル回路による擬似乱数発生装置とそれをクロック発生手段として用いた光電スイッチに関する。

## 【0002】

【従来の技術】 コンペアラインなどで移動してくる物体の有無を検出する手段として光電スイッチが知られている。これは物体の経路に光を投射し、移動してきた物体からの反射光の有無を検出することなどにより、物体の有無を判定するものである。かかる光電スイッチにおいて、外乱光の影響の排除、消費電力の低減化や相互干渉の防止などのため、投射光をパルス状にして間欠的に投光するようにしている（以下、この投射光をセンシング光という）。通常、物体の有無の検出には複数の光電スイッチが用いられる、たとえばコンペアラインにおいて、横方向から投光する光電スイッチ、下方から投光する光電スイッチ、上方から投光する光電スイッチなど1個所に複数の光電スイッチが設置され、物体検知をより正確にできるようにしている。しかし、このように1個所に複数の光電スイッチを設置し、かつ夫々の光電スイッチが連続投光すると、各光電スイッチは自己以外の光

電スイッチが投射したセンシング光も受光するおそれがある。これを上記の相互干渉というが、光電スイッチでは、投光タイミングが他の光電スイッチと重ならないように間欠的に投光するとともに、自己の投光による反射光と他の光電スイッチの投光によって受光される光（干渉光）を区分できるようにした方法が講じられている。

【0003】 その一方法として、発光素子を発光駆動するためのクロックの発生手段として擬似乱数発生装置を用いる方法が知られている。図7は従来の擬似乱数発生装置の一例を示す構成図であって、100は電圧源、102は抵抗、103はツェナーダイオード、104はコンデンサ、105はアンプ、106はA/Dコンバータである。この従来例は、ツェナーダイオードは、通常の使用電流よりも小さい電流域で使用すると、ノイズを発生しやすいということを利用するものである。

【0004】 同図において、電圧源100から抵抗102を介してツェナーダイオード103に電圧が印加され、この印加電圧によって決まるツェナーダイオード103のノイズ特性により、ツェナーダイオード103からランダムに振幅が変化するホワイトノイズが発生する。このホワイトノイズはコンデンサ104を通り、アンプ105で増幅された後、A/Dコンバータ106に供給され、デジタル値の擬似乱数が生成される。

【0005】 かかる擬似乱数発生装置を光電スイッチのクロック発生手段に用いる場合、得られた擬似乱数をアナログ値に変換し、一定周期のクロックから生成された例えば鋸歯波状のパルスをこのアナログ値とコンパレータでレベル比較することにより、上記一定周期のものとのクロックに対し位置がこのアナログ値に応じてランダムに変化するクロックが得られ、このパルスを発光素子の発光駆動パルスとすることにより、投光タイミングをランダムにすることができる。従って、かかる擬似乱数発生装置を備えた光電スイッチを同じ場所に複数個設置して使用しても、相互干渉が起きる確率は非常に小さなものとなる。

【0006】 しかしながら、かかる擬似乱数発生装置は、回路構成が非常に簡単なものであるが、素子自体の特性のバラツキによる影響や耐ノイズ性、電源電圧感受性の点で問題があり、得られる擬似乱数値が異常なものとなったり、アンプ105の増幅度やA/Dコンバータ106の動作範囲によっては同じ擬似乱数値が繰り返し得られるような事態になる場合もある。また、実用的には、使用電圧としては少なくとも7(V)以上必要であり、デジタル回路に使用される5(V)の標準電圧に比べて充分高く、別の電圧源が必要となって低電圧電源の機器には使用しにくいという問題もある。

【0007】 図8は従来の擬似乱数発生装置の他の例を示すブロック図であって、201～203はE×OR(排他的論理和)ゲート、204～208はD-F F(D型フロップフロップ回路)である。

【0008】この従来例はデジタル回路によって構成されたものであって、図8において、例えば5個のD-F F 204～208が継続接続され、これらの継続経路間に、ここでは、D-F F 204の入力側、D-F F 204, 205間に及びD-F F 207, 208間に夫々E x O Rゲート201, 202, 203を設け、終端のD-F F 208のQ出力を夫々D-F F 204, 205, 208に帰還するようにしている。E x O Rゲート201にはクロック $\phi_0$ に同期して一定周期の“1”的パルスが入力され、各D-F F 204～208はこのクロック $\phi_0$ に同期して入力データDをサンプルホールドする。そして、各D-F F 204～208の入力データDが擬似乱数を構成するビットとしている。従って、かかる擬似乱数発生装置からは5ビットの擬似乱数が得られることになる。

【0009】かかる擬似乱数発生装置は、基本的には生成多項式が設定されたC R C符号化回路と同様の構成をなしており、デジタル回路で構成されているために、図7で示した従来例の問題点が解消できるし、また、これを使用する機器の信号処理回路の一部にデジタル回路部分があり、これにカスタム或いはセミカスタムのI Cが使用されている場合、このI Cの所定の機能を付加することにより、特に外付けの追加部品が不要となるという利点がある。

【0010】しかしながら、かかる擬似乱数発生装置では、回路構成によって決まる系列に完全に従って擬似乱数が発生し、しかも、この系列は有限の長さであって周期性のものとなる。そこで、同一構成のかかる擬似乱数発生装置を備えた光電スイッチを複数個同じ場所で使用する場合、図8に示したクロック $\phi_0$ の周波数が夫々の光電スイッチ間で完全に一致しない限り、この系列の周期の位相が次第に近づいてきて、上記の系列で擬似乱数値が一致してしまうこともある。このような事態では、ほとんど擬似乱数値が一致する状態がしばらく続くことになり、この間相互干渉が生じてしまう。

【0011】図9はこのような問題を解消できるようにした擬似乱数発生装置の従来例を示す構成図であって、301は外部電源端子、302はバッテリ、303, 304はダイオード、305は擬似乱数発生回路、306は処理回路である。

【0012】同図において、通常は外部電源端子301からの外部電源電圧が処理回路306等に、また、ダイオード304を介して擬似乱数発生回路305に夫々印加される。この擬似乱数発生回路305は例えば図8に示したような回路構成をなし、擬似乱数を発生する。また、これの乱数系列の周期は少なくとも製品の平均的寿命よりは長くなるように作られている。この擬似乱数は処理回路306で使用される。

【0013】外部電源を切って装置を不使用状態になると、バッテリ302の電圧がコンデンサ303を介し、

電源電圧として擬似乱数発生回路305に印加される。従って、外部電源が切れても、擬似乱数発生回路305はそのまま擬似乱数の発生動作をし続ける。このとき、バッテリ302の電圧は、コンデンサ304によって処理回路306等に印加されず、擬似乱数発生回路305のみに印加される。また、コンデンサ303は外部電圧が印加されたときのバッテリ302での充電を防止するためのものである。

【0014】かかる擬似乱数発生装置によると、外部電源が切られている時間擬似乱数発生回路305がバッテリ302からの電圧で動作し続けるので、この擬似乱数発生回路305は、外部電源のオン、オフにかかわらず、常時擬似乱数の発生を続けており、従って、初期化がなされない。このために、各擬似乱数発生装置でのクロック周波数が一致していない限り、これらが発生する擬似乱数の系列の周期の位相は、周期が充分に長いため、繰り返されることがないので、離れていく一方となるから、発生される擬似乱数値が複数の擬似乱数発生装置間で同じようになることはなく、光電スイッチ間の相互干渉を防ぐことができる。

#### 【0015】

【発明が解決しようとする課題】しかしながら、図9で示した擬似乱数発生装置では、以上のように、これを用いた光電スイッチ間での相互干渉を防止できるとしても、擬似乱数発生回路305をバックアップするためのバッテリが必要であり、擬似乱数発生装置やこれを用いる光電スイッチ等の機器に対し、小型化や低価格化の実現が困難となる。

【0016】本発明の目的は、かかる問題を解消し、発生する擬似乱数値のランダム性をより高め、小型、低価格の擬似乱数発生装置を提供することにある。

【0017】本発明の他の目的は、投光タイミングのランダム性をより高めて相互干渉を防止し、小型、低価格の光電スイッチを提供することにある。

#### 【0018】

【課題を解決するための手段】上記目的を達成するため、本発明による擬似乱数発生装置は、周期が不安定なパルスを発生するパルス発生手段と、該パルスの周期毎に該周期に応じた期間クロックをカウントするカウント手段と、そのカウント値に応じた擬似乱数系列指示データを出力する系列指示手段と、該指示データに応じた系列の擬似乱数を発生する擬似乱数発生手段とを備える。

【0019】また、本発明による光電スイッチは、上記本発明による擬似乱数発生手段が発生した擬似乱数の値をアナログ値に変換する手段とパルスのレベルを該アナログ値と比較し、少なくとも前エッジの該パルスに対する位相が該アナログ値に応じて変化するパルスを発生する手段と、該手段の出力パルスの時間幅を一定し、投光タイミングを決める駆動パルスを発生する手段とを備える。

## 【0020】

【作用】本発明による擬似乱数発生装置では、擬似乱数の1列の組合せが1つの系列となるが、擬似乱数発生手段では、異なる系列（擬似乱数の配列順序が異なる）が発生可能となっている。系列指示手段はパルス発生手段からのパルスの周期毎にこれら系列のうちのこの周期に応じた1つを選択するのであるが、パルス周期はランダムに異なるため、選択される系列の選択順序は全くランダムとなる。従って、発生する擬似乱数の配列順序には、周期性がないことになる。

【0021】また、本発明による光電スイッチでは、かかる擬似乱数発生装置からの擬似乱数の値に応じて、投光部の駆動パルスのタイミングが変動することになり、従って、該投光部の投光タイミングは周期性がなく、全くランダムなものとなる。

## 【0022】

【実施例】以下、本発明の実施例と図面によって説明する。図1は本発明による擬似乱数発生装置の一実施例を示すブロック図であって、1はパルス発生回路、2はカウンタ、3はクロック発生回路、4は系列選択回路、5は擬似乱数発生回路である。

【0023】同図において、パルス発生回路1はCR発振器、LC発振器等の発振周波数に $1/f$ ノイズや温度変化等によってゆらぎが生ずる発振器を備えており、かかる発振器の出力パルスの周期毎に、この周期に応じた時間幅のパルスAを出力する。このパルスAの時間幅は、この発振器の発振周波数が常時ゆらぎので、常時変化している。ここで、パルスAの時間幅は、クロック発生回路3で発生するクロックCKの周期に比べ、例えば1000万倍程度等充分長く設定されている。カウンタ2は、パルス発生回路1からパルスAが供給される毎に、そのパルス期間クロック発生回路3からのクロックCKをカウントし、このパルス期間の終了とともにそのパルス期間でのカウント値Nを系列選択回路4に送る。

【0024】一方、擬似乱数発生回路5は擬似乱数が異なる順序で配列されてなる複数の系列が発生可能に構成されており、また、系列選択回路4には、擬似乱数発生回路5における夫々の系列に一対一に対応し、対応する系列を指示するための系列指示データが格納されている。また、これら系列指示データはカウンタ2からのカウント値Nに対応している。

【0025】そこで、カウンタ2からカウント値Nが出力されると、これに対応した系列指示データSDが選択されて系列選択回路4から出力され、擬似乱数発生回路5はこの系列指示データSDで指示される系列の発生状態に設定される。そして、この指示された系列の擬似乱数が、クロック発生回路3から出力されるクロックCK毎に1つずつ擬似乱数発生回路5から出力される。

【0026】ここで、パルス発生回路1の出力パルスAのパルス幅がクロックCKの周期に対して上記のように

充分長い場合には、このパルス幅内のクロックCKを全てカウントすると、膨大なビット数のカウント値となり、かかるカウント値に見合った個数の系列指示データを系列選択回路4に格納しておくことは実用上不可能であるし、また、擬似乱数発生回路5もかかるカウント値に見合った個数の系列を発生可能に構成することは不可能である。このために、実際には、パルスAのパルス時間中におけるクロックCKの数をカウントしたときのカウント値の下位所定ビット数でカウンタ2のカウント値Nとしている。かかる所定ビット数は次のように設定すればよい。

【0027】即ち、パルス発生回路1の出力パルスAのパルス幅は、これに用いられる発振器の発振周波数がゆらぐといつても、零からある最大幅まで変化するわけではなく、或る値の幅を中心として変化する。従って、このパルス幅の変化範囲を少なくとも含むできるだけ狭い範囲がカウンタ2のカウント値Nに含まれるように、このカウント値Nのビット数を決めればよい。例えば、パルスAのパルス幅のゆらぎにより、このパルス幅に含まれるクロックCKの個数が8000から9000の間で変化する場合、この変化量は1000個であり、カウント値Nとしては10ビットであればよい。

【0028】なお、パルスAのパルス幅をクロックCKの周期の1000万倍程度と大きくするのは、パルス発生回路1における発振器の発振周波数のわずかなゆらぎも検出できるようにするためである。

【0029】以上のように、この実施例では、パルスAのパルス幅のランダムな変動とともに擬似乱数発生回路5から異なる系列の擬似乱数が outputされることになるから、得られる擬似乱数には周期性がない。しかも、電源を投入して起動させたとき、最初に擬似乱数発生回路5から出力される系列は特定のものに決まっているものではなく、このため、図9で説明した擬似乱数発生装置のようなバックアップのためのバッテリが不要となるし、突発的なノイズによる誤動作もなく、安定した動作が行われる。さらに、パルス発生回路1における発振器の抵抗R、コンデンサC、コイルL以外はデジタル回路で構成でき、この実施例を使用する機器内でカスタムまたはセミカスタムのデジタルICが用いられていれば、このデジタルIC内にこの実施例を組み込むことにより、外付け部品としては低精度の上記抵抗、コンデンサ、コイルなどで済ませることができ、部品点数の削減や組立ての手間が省け、コストアップや大型化等の不都合を解消できる。さらにまた、擬似乱数発生回路5からはクロックCKに同期して擬似乱数が outputされるから、動作速度も非常に速いものとなる。

【0030】次に、図1の各部の具体例について説明する。図2は図1におけるパルス発生回路1とカウンタ2の一具体例を示すブロック図であって、1aはCR発振器、1bは分周器、6はアンドゲート、7、8は遅延回

路、9a～9eはT-F F (T型フリップフロップ回路)、10はラッチ回路であり、図1に対応する部分及び信号には同一符号をつけている。

【0031】同図において、パルス発生回路1はCR発振器1aと分周器1bとからなり、分周器1bはn段(但し、nは2以上の整数)継続接続されたT-F Fと、これらT-F FのQ出力を入力とするオア回路とで構成されている。CR発振器1aの出力パルスは分周器1bで分周され、CR発振器1aの出力パルスの周期tの2(n-1)乗倍の周期Tで、かつパルス幅が(T-t/2)のパルスAが得られる。図4に示すパルスAの高レベル期間がそのパルス幅(T-t/2)の期間である。

【0032】カウンタ2においては、このパルスAのパルス期間に図4に示されるクロックCKがアンドゲート6を通過する。アンドゲート6を通過したクロックCKは継続接続された5個のT-F F 9a～9eによってカウントされる。ここでは5個のT-F F 9a～9eを用いてクロックCKをカウントしているため、これらT-F F 9a～9eのQ出力を構成ビットとするカウント値Bは、図4に示すように、アンドゲート6を通してクロックCKが供給されている期間、0～31を繰り返す。

【0033】一方、パルスAは遅延回路7に供給され、その立下りエッジから時間Δtだけ遅れてラッチパルスRCが生成され、このラッチパルスRCは遅延回路8に供給され、その立下りエッジから時間Δt'だけ遅れてリセットパルスRSが生成される。但し、これらラッチパルスRC、リセットパルスRSがいずれも、図4に示すように、パルスAの立下り時点から次のパルスAの立上り時点までの間にあるように、遅延回路7、8の遅延時間Δt、Δt'が設定される。

【0034】T-F F 9a～9eによるカウント値BはラッチパルスRCによってラッチ回路10にラッチされ、次いで、リセットパルスRSによってT-F F 9a～9eがリセットされ、カウント値Bは零となる。そして、再びパルス発生回路1からパルスAが出力されると、T-F F 9a～9eは上記のようにクロックCKのカウントを行なう。

【0035】ラッチ回路10にラッチされたカウント値がカウンタ2の上記カウント値Nである。いま、ラッチ回路10にラッチされている値Nを、図4に示すように、Caとし、次のラッチパルスRCのタイミングでのT-F F 9a～9eのカウント値Bを、図4に示すように、Cbとすると、ラッチパルスRCにより、ラッチ回路10の出力値Nは、図4に示すように、CaからCbに変わる。

【0036】ラッチ回路10にラッチされるカウント値Nは、パルスAのパルス期間にアンドゲート6を通過したクロックCKを全数カウントしたときのカウント値の下位5ビットからなるものであり、従って、RC発振器

1aの発振周波数のゆらぎによるパルスAの周期の変動範囲のうち、クロックCKの周期の0～31倍の範囲のものを検出していることになる。例えば、クロックCKの周期を1μsecとすると、例えばパルスAの周期が10secから0～31μsec変動しているときに有効である。勿論、パルスAの周期がこれ以上変動してもよいが、パルスAのパルス幅の変動量をΔTμsecとすると、カウント値Nは常に0≤(ΔT-32k)≤31(但し、k=0, 1, 2, ……)なる値(ΔT-32k)となる。

【0037】図3は図1における系列選択回路4と擬似乱数発生回路5の一具体例を示すブロック図であって、11はROM(リード・オンリ・メモリ)、121～12mはアンドゲート、131～13mはD-F F、141～14mはExOR回路である。

【0038】同図において、系列選択回路4はROM11からなっている。このROM11には、mビットの異なる系列指定データSDが2<sup>5</sup>個別々のアドレスに格納されており、カウンタ2(図2)からのカウント値Nをアドレス信号として、このカウント値Nで指定されるアドレスの系列指定データSDが読み出される。ここでは、図2で説明したように、カウンタ2のカウント値Nが5ビットであるから、ROM11に2<sup>5</sup>個の系列指定データSDが格納されているとしている。

【0039】擬似乱数発生回路5は、基本的には図8と同様の回路構成をなしているが、生成多項式を系列選択回路4からの系列指定データSDに応じて変化させることに相当し、これによって異なる系列の擬似乱数を発生させるものである。

【0040】即ち、m個のD-F F 131～13mが継続接続されて夫々のデータ入力側にExOR回路141～14mが設けられ、終段のD-F F 13mのQ出力がアンドゲート121, 122, ……, 12mを介してこれらExOR回路141, 142, ……, 14mに夫々転送できるように構成されている。これらアンドゲート121, 122, 123, ……, 12mは夫々mビットの系列指示データの別々のビットによってオン、オフ制御され、アンドゲート12i(i=1, 2, ……, m)がオンすると、これとExOR回路14iを介してD-F F 13iに最段のD-F F 13mのQ出力が帰還される。従って、いま、図4に示すように、カウント値NがCaからCbに変って系列指示データSDの値がSaからSbに変わると、アンドゲート121～12mのうちのオンするアンドゲートが変わり、異なる生成多項式が設定されることに相当し、結局出力される擬似乱数Hが、図4に示すように、a<sub>1</sub>, a<sub>2</sub>, ……の系列の繰り返しからb<sub>1</sub>, b<sub>2</sub>, ……の系列の繰り返しに変わり、得られる擬似乱数Hの系列が全く異なってしまう。

【0041】図5は以上説明した擬似乱数発生装置を用いた本発明による光電スイッチの一実施例を示すブロッ

ク図であって、15は擬似乱数発生装置、16はR-P PM(ランダムパルス位置変調)回路、17は鋸歯状波発生回路、18はD/Aコンバータ、19はコンパレータ、20はワンショット回路、21は投光部、22は受光部、23はゲート回路、24は積分回路、25は判定回路、26は物体であり、図1に対応する部分には同一符号をつけて重複する説明を省略する。

【0042】また、図6は図5における各部の信号を示すタイミングチャートであって、図5に対応する信号には同一符号をつけてある。

【0043】図5及び図6において、擬似乱数発生装置15のクロック発生回路9からのクロックCKはR-P PM回路16の鋸歯状波発生回路17に供給されて鋸歯状波信号Cが形成され、コンパレータ19に供給される。また、擬似乱数発生装置15から出力されるディジタル値の擬似乱数Hは、R-P PM回路16において、D/Aコンバータ18でアナログ値Dに変換された後、コンパレータ19で鋸歯状波発生回路17からの鋸歯状波信号Cとレベル比較され、アナログ値Dと鋸歯状波信号Cのレベルで“H”(高レベル)となるパルスEが形成される。このパルスEはアナログ値Dがランダムに変化することから、ランダムにパルス幅が変化するパルス幅変調されたものである。このパルスEの立下りエッジでワンショット回路20がトリガーされ、この立下りエッジに同期してこのワンショット回路20の時定数で決まる狭い一定のパルス幅の“H”的パルスFが発生される。このパルスFはクロック信号CKがランダムに位置変調されたパルスである。

【0044】投光部21はこのパルスFで駆動され、この駆動パルスFと同じ時期、デューティ比でパルス状にセンシング光を投射する。このセンシング光が物体26で反射されると、その反射光が受光部22で受光され、パルスGが出力される。このパルスGは、自己の投光部21の投光による反射光によって得られたものであれば、駆動パルスFとタイミングが一致するが、他の光電スイッチからのセンシング光の受光によって得られたものであれば、駆動パルスFとタイミングが一致しない。そこで、受光部22の出力パルスGは駆動パルスFをゲートパルスとするゲート回路23に供給され、パルスGのうち自己の投光によるパルスのみを抽出する。ゲート回路23の出力パルスIは積分回路24で駆動パルスFのタイミングで取り込まれて積分され、その積分値が予め設定された閾値以上のとき、判定回路25が物体有りとする判定信号Jを出力する。

【0045】以上のように、この実施例では、投光部21の駆動パルスFが上記のように動作する擬似乱数発生装置15から出力される擬似乱数Hによってランダム位置変調されているから、センシング光は全くランダムに発生することになり、このようにセンシング光を発生する光電スイッチ間では、相互干渉が生ずる確率は極めて

小さなものとなる。

【0046】なお、本発明による擬似乱数発生装置は、光電スイッチばかりでなく、擬似乱数を用いる他の機器にも適用可能であることはいうまでもない。

【0047】

【発明の効果】以上説明したように、本発明による擬似乱数発生装置によれば、発生可能とするする擬似乱数の系列を複数とし、これらをランダムに選択して出力させることができるのであるから、得られる擬似乱数の配列順序のランダム性が著しく向上する。

【0048】また、本発明による光電スイッチによれば、投光部の投光タイミングのランダム性が著しく向上し、相互干渉が生ずる確率を著しく低減できる。

【図面の簡単な説明】

【図1】本発明による擬似乱数発生装置の一実施例を示すブロック図である。

【図2】図1におけるパック発生回路及びカウンタの一具体例を示す構成図である。

【図3】図1における系列選択回路及び擬似乱数発生回路の一具体例を示す構成図である。

【図4】図2、図3の各部の信号を示すタイミング図である。

【図5】本発明による光電スイッチの一実施例を示すブロック図である。

【図6】図5における各部の信号を示すタイミング図である。

【図7】従来の擬似乱数発生装置の一例を示すブロック図である。

【図8】従来の擬似乱数発生装置の他の例を示すブロック図である。

【図9】従来の擬似乱数発生装置のさらに他の例を示すブロック図である。

【符号の説明】

- 1 パルス発生回路
- 2 カウンタ
- 3 クロック発生回路
- 4 系列選択回路
- 5 擬似乱数発生回路
- 15 擬似乱数発生装置
- 16 ランダムパルス位置変調回路
- 17 鋸歯状波発生回路
- 18 A/Dコンバータ
- 19 コンパレータ
- 20 ワンショット回路
- 21 投光部
- 22 受光部
- 23 ゲート回路
- 24 積分回路
- 25 判定回路

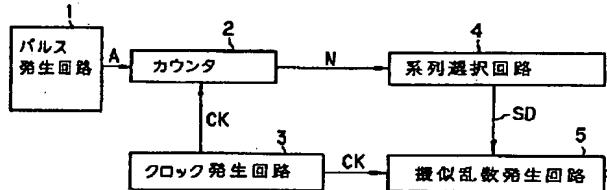


【図1】

【図6】

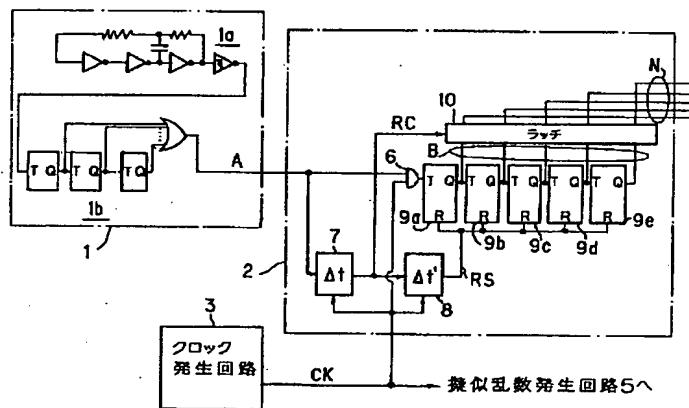
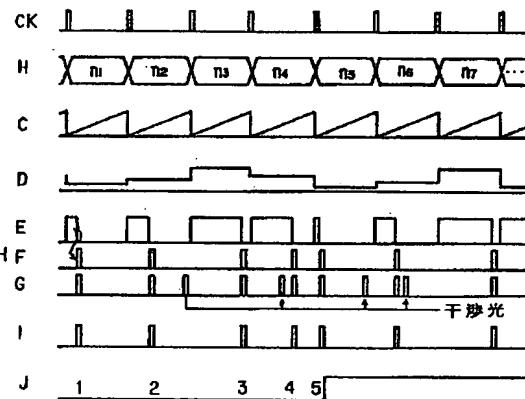
【図1】

【図6】



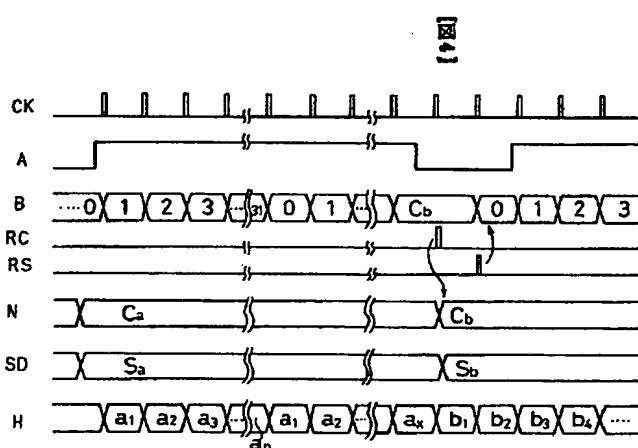
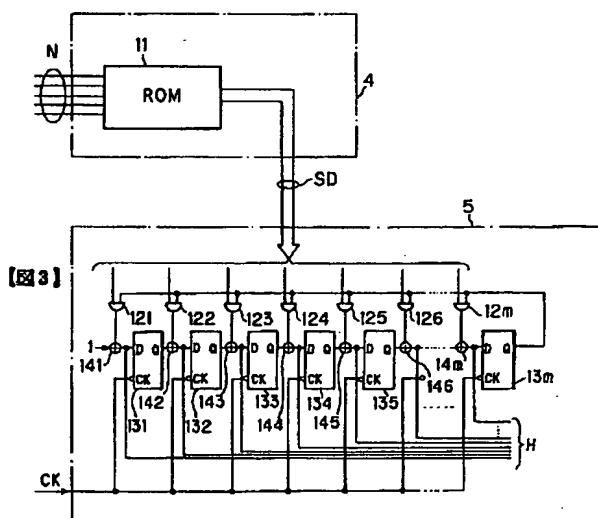
【図2】

【図2】

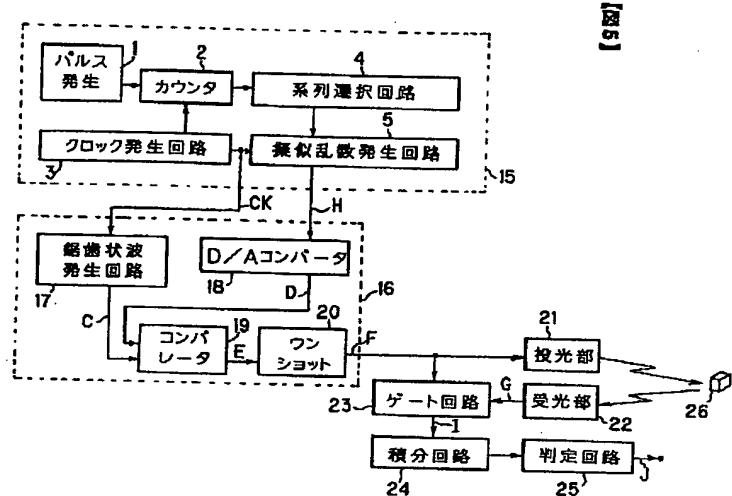


【図3】

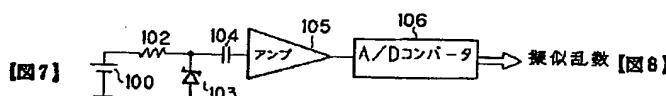
【図4】



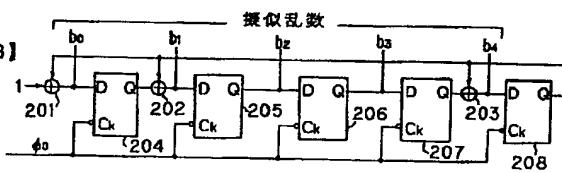
【図5】



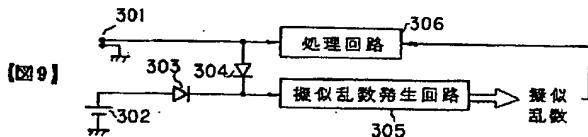
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 大内 郁郎

岩手県花巻市西大通1丁目13番10号シャン  
ポール203